

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-243262

(43)Date of publication of application : 21.09.1993

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number : 04-075753

(71)Applicant : CITIZEN WATCH CO LTD

(22)Date of filing : 28.02.1992

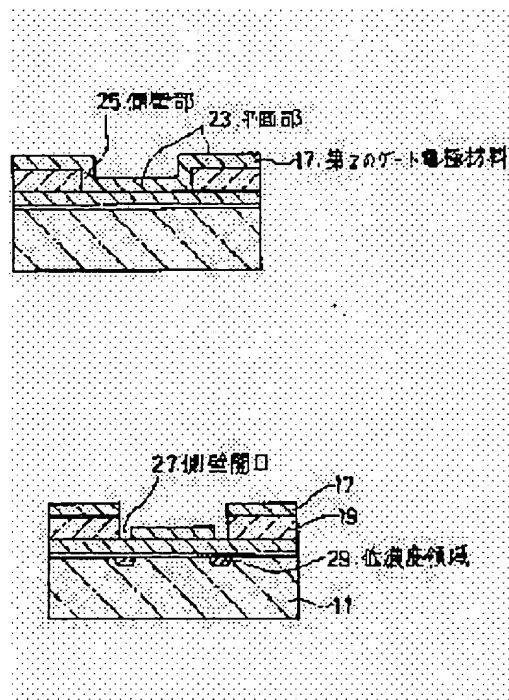
(72)Inventor : TOIDA TAKASHI
OKABE SHOJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To manufacture a MOS transistor having an inverted T-shaped gate electrode for causing no irregularity in characteristics and an LDD structure by controlling a length of a low concentration region according to a thickness of a second gate electrode material.

CONSTITUTION: A gate electrode material 17 made of a polycrystalline silicon film formed by an ECR is different at etching speeds ten times or more on a flat part 23 and a sidewall 25. The polycrystalline silicon film of the sidewall 25 is selectively removed by etching to form a sidewall opening 27. Thereafter, arsenic of reverse conductivity type impurity to that of a semiconductor substrate 11 is ion implanted under the condition of ion implanting amount of $2 \times 10^{-3} \text{cm}^{-2}$, introduced into the substrate 11 through the opening 27 to form a low concentration region 29. Thus, an irregularity in the low concentration region can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the manufacture approach of the MOS transistor which has the so-called LDD structure (Lightly Doped Drain) of having a high concentration field and a low concentration field in a drain field about the manufacture approach of an MOS transistor.

[0002]

[Description of the Prior Art] If channel length of an MOS transistor is shortened in order to improve the degree of integration of semiconductor integrated circuit equipment, the impregnation phenomenon of a hot carrier will become remarkable and will produce fluctuation of the threshold electrical potential difference of an MOS transistor.

[0003] For this reason, by easing the electric field near the drain, as an approach of suppressing generating of this hot carrier, it is shallow in the junction depth near the gate electrode, and the LDD structure which moreover makes high impurity concentration lower than a drain is used.

[0004] This LDD structure weakens the electric field near the drain by making a drain into the dual structure of low high impurity concentration and high high impurity concentration, and extending the depletion layer of a drain not only to a channel field but to the field of low high impurity concentration.

[0005] As the manufacture approach of an MOS transistor of having LDD structure, it is proposed by the Provisional-Publication-No. No. 68776 [51 to] official report, for example. The manufacture approach of a publication is explained to this official report using the sectional view of drawing 7.

[0006] As shown in drawing 7, the gate electrode 35 is formed in the semi-conductor substrate 11, and the low concentration field 29 is formed in the semi-conductor substrate 11 of the field which this gate electrode 35 adjusted further.

[0007] Then, the silicon oxide film which is an insulator layer is formed in the whole surface, anisotropy ion etching is performed and the sidewall 43 which becomes the side attachment wall of the gate electrode 35 from the silicon oxide film is formed.

[0008] Then, the high concentration field 31 is formed in the semi-conductor substrate 11 of the adjusted field of this sidewall 43 and the gate electrode 35, and the MOS transistor which has LDD structure is formed.

[0009] However, in the MOS transistor formed in the above-mentioned official report by the manufacture approach of a publication, the sidewall 43 which becomes the side attachment wall of the gate electrode 35 from an insulator layer is formed, and the low concentration field 29 is formed directly under this sidewall 43.

[0010] For this reason, gate voltage is not impressed to the low concentration field 29, but this low concentration field 29 is resisting, a drain current becomes small, and there is a trouble that an MOS transistor property deteriorates.

[0011] Then, the MOS transistor equipped with the reverse T typeface gate electrode which extended some gate electrodes through gate dielectric film on the low concentration field of a publication in the

publication-number No. 204939 [three to] official report in order to solve this trouble is proposed. The manufacture approach of an MOS transistor of having the reverse T typeface gate electrode of a publication is explained to this publication-number No. 204939 [three to] official report using the sectional view of drawing 11 from drawing 8 .

[0012] As first shown in drawing 8 , a conductivity type forms gate oxide 13 on the semi-conductor substrate 11 of P type, and forms the 1st gate electrode material 15 which consists of polycrystalline silicon film of 20-50nm of thickness.

[0013] On this 1st gate electrode material 15, the natural oxidation film 39 with a thickness of 1-3nm is formed. Then, 200-400nm of 2nd gate electrode material 17 which consists of a tungsten is formed.

[0014] Then, a photopolymer 41 is formed in the whole surface and patterning of this photopolymer 41 is further carried out to a predetermined configuration.

[0015] As shown in drawing 9 below, the 2nd gate electrode material 17 is etched into a mask for the photopolymer 41 which carried out patterning. Let the natural oxidation film 39 be an etching stopper at this time. Then, the photopolymer 41 used as an etching mask is removed.

[0016] Then, it is the impurity of the N type of the semi-conductor substrate 11 and a reverse conductivity type $1 \times 10^{13} - 1 \times 10^{14} \text{cm}^{-2}$ In the amount of ion implantations of extent, it pours into the semi-conductor substrate 11, and the low concentration field 29 is formed.

[0017] Next, as shown in drawing 10 , the silicon oxide film is formed in the whole surface, anisotropy ion etching is performed, and the sidewall 43 which becomes the side attachment wall of the 2nd gate electrode material 17 from the silicon oxide film is formed.

[0018] Next, as shown in drawing 11 , the gate electrode 35 and a sidewall 43 are used as an etching mask, and the natural oxidation film 39 and the 1st gate electrode material 15 are etched.

[0019] Then, it is the impurity of N type $1 \times 10^{15} - 1 \times 10^{16} \text{cm}^{-2}$ It introduces into the semi-conductor substrate 11 in the amount of ion implantations of extent, and the high concentration field 31 is formed in the semi-conductor substrate 11 of the field which the gate electrode 35 adjusted. This high concentration field 31 turns into the source drain field 37 of an MOS transistor.

[0020] Then, heat-treat, destroy the natural oxidation film 39, and it is made to flow through the 1st gate electrode material 15 and the 2nd gate electrode material 17, and has the reverse mold gate electrode of T characters, and an MOS transistor equipped with LDD structure is formed.

[0021]

[Problem(s) to be Solved by the Invention] However, in the manufacture approach of the MOS transistor a publication, the natural oxidation film 39 is used for this publication-number No. 204939 [three to] official report as an etching stopper of the 2nd gate electrode material 17.

[0022] Therefore, the etching approach that etching of the 2nd [to the silicon oxide film which is the natural oxidation film 39] gate electrode material 17 has about 100-time big etch selectivity is needed. However, it is very difficult to be stabilized and to perform etching with such big etch selectivity.

[0023] For this reason, at the time of etching of the 2nd gate electrode material 15, even the 1st gate electrode material 15 etches and dimension dispersion of a sidewall 43 becomes large.

[0024] Consequently, dispersion in the die length of the low concentration field 29 will become large, and dispersion in an MOS transistor property will become large.

[0025] The object of this invention solves the above-mentioned technical problem, has the gate electrode of the reverse T typeface which dispersion in an MOS transistor property does not generate, and is to offer the manufacture approach of an MOS transistor equipped with LDD structure.

[0026]

[Means for Solving the Problem] In order to attain the above-mentioned object, the manufacture approach of the semiconductor device of this invention adopts the process of the following publication.

[0027] The manufacture approach of the semiconductor device of this invention forms gate oxide on a semi-conductor substrate. The process which forms the 1st gate electrode material, forms the mask film on the 1st gate electrode material, and forms opening in the mask film corresponding to a gate electrode formation field with a photoetching technique, The process which forms the 2nd gate electrode material by the electronic SAIKU roton resonance chemistry gaseous-phase method, The process which performs

overall etching of this 2nd gate electrode material, removes selectively the side-attachment-wall section of the 2nd gate electrode material, forms side-attachment-wall opening, introduces an impurity into the semi-conductor substrate of the field which this side-attachment-wall opening adjusted, and forms a low concentration field, The mask film and the 1st gate electrode material are etched for the 2nd gate electrode material by using as a mask the process which forms the spreading film in opening of the mask film, and this spreading film. It is characterized by having the process which forms the gate electrode which has the reverse T typeface which consists of the 1st gate electrode material and the 2nd gate electrode material, introduces an impurity into the semi-conductor substrate of the field which the gate electrode adjusted, and forms a high concentration field.

[0028]

[Example] The example in this invention is explained using a drawing below. In the following explanation, the example which manufactures an N-channel metal oxide semiconductor transistor explains. Drawing 1 - drawing 6 are the sectional views showing the manufacture approach of the semiconductor device in this invention in order of a process.

[0029] As first shown in drawing 1, high impurity concentration is $2 \times 10^{15} \text{cm}^{-3}$. A conductivity type performs oxidation treatment of the semi-conductor substrate 11 of P type with the low high impurity concentration which is extent, and the gate oxide 13 which consists of silicon oxide film of 35nm of thickness is formed.

[0030] Then, the 1st gate electrode material 15 which consists of polycrystalline silicon film of 200nm of thickness is formed by the chemical-vapor-deposition method (it is indicated as Following CVD) using the mono silane as reactant gas.

[0031] Then, thickness forms the mask film 19 which consists of silicon oxide film which is 400nm the whole surface on the 1st gate electrode material 15 with the CVD method which makes a mono silane and oxygen reactant gas.

[0032] Then, a photopolymer (not shown) is formed by the revolution applying method the whole surface on this mask film 19, and opening 21 is formed in the mask film 19 by the so-called photoetching which is exposed using a photo mask, develops negatives, carries out patterning of the photopolymer, and etches the mask film 19 after that by using as an etching mask this photopolymer that carried out patterning.

[0033] Then, the photopolymer used as an etching mask is removed.

[0034] Next, as shown in drawing 2, the 2nd gate electrode material 17 which consists of polycrystalline silicon film of 200nm of thickness is formed by the electronic SAIKU roton resonance chemical-vapor-deposition method (it is indicated as Following ECR) which makes a mono silane reactant gas.

[0035] As shown in drawing 3 below, overall etching of the 2nd gate electrode layer 17 is performed using the mixed solution of fluoric acid and a nitric acid.

[0036] In the flat-surface section 23 and the side-attachment-wall section 25 which show the 2nd gate electrode material 17 which consists of polycrystalline silicon film formed by ECR to drawing 2, etch rates differ 10 or more times, etching clearance of the polycrystalline silicon film of the side-attachment-wall section 25 is carried out selectively, and the side-attachment-wall opening 27 is formed.

[0037] The reason etch rates differ greatly is based on the reason indicated below in the 2nd flat-surface section 23 and side-attachment-wall section 25 in the gate electrode material 17 which consists of polycrystalline silicon film formed by this ECR.

[0038] Using microwave, when the active species which participates in the film formation which plasma-ized the mono silane reaches the semi-conductor substrate 11 from an one direction, in ECR, a big difference arises in a film molding machine style in the flat-surface section and the side-attachment-wall section in the plasma generating interior of a room. For this reason, in the flat-surface section 23 and the side-attachment-wall section 25, the membranous qualities of the 2nd gate electrode material 17 differ, and a big difference occurs in an etch rate.

[0039] Then, it is arsenic which is the impurity of the semi-conductor substrate 11 and a reverse conductivity type Amount of ion implantations $2 \times 10^{13} \text{cm}^{-2}$ An ion implantation is performed on

conditions, it introduces into the semi-conductor substrate 11 through the side-attachment-wall opening 27, and the low concentration field 29 is formed.

[0040] Next, as shown in drawing 4, polymethylmethacrylate is formed in the whole surface by the revolution applying method as spreading film 33, and a front face forms the spreading film 33 which has an almost flat configuration.

[0041] Then, by the anisotropy ion etching method which makes oxygen reactant gas, the spreading film 33 is etched until the front face of the 2nd gate electrode material 17 is exposed.

[0042] Consequently, in the opening 21 of the mask film 17, it forms so that the spreading film 33 may be embedded.

[0043] As shown in drawing 5 below, the 1st gate electrode material 15 is further etched and removed with the 2nd gate electrode material 17 and the mask film 19 by using as an etching mask the spreading film 33 formed in opening 21.

[0044] Then, it is arsenic which has the semi-conductor substrate 11 and a reverse conductivity type with ion-implantation Amount of ion implantations $4 \times 10^{15} \text{cm}^{-2}$ On conditions, it introduces into the semi-conductor substrate 11, and the high concentration field 31 is formed.

[0045] Next, as shown in drawing 6, the spreading film 33 is removed, it consists of the 1st gate electrode material 15 and the 2nd gate electrode material 17, and the gate electrode 35 which has the cross-section configuration of a reverse T typeface is formed.

[0046] Although not illustrated after that, the interlayer insulation film which consists of silicon oxide film which added Lynn with the CVD method is formed. The impurity which furthermore heat-treated in nitrogen-gas-atmosphere mind with a temperature of 950 degrees C, and was introduced by the ion implantation is activated. Form a catching hole in an interlayer insulation film by photoetching, form the wiring material which consists of an aluminum silicon alloy by the sputtering method, and wiring is formed by photoetching. The MOS transistor which a cross-section configuration has the gate electrode of a reverse T typeface, and equips with LDD structure is obtained.

[0047] In addition, in the above explanation, although the example using the silicon oxide film as mask film explained, if it is a different ingredient from the 2nd gate electrode material, it is usable as mask film.

[0048] Furthermore, as spreading film, besides polymethylmethacrylate, if front faces, such as other organic polymeric materials, a photopolymer, and spreading glass membrane, are the ingredients which can be formed in an almost flat configuration, it is applicable as spreading film.

[0049]

[Effect of the Invention] In the manufacture approach of the semiconductor device of this invention, the die length of a low concentration field is clearly controlled by the above explanation by the thickness of the 2nd gate electrode material. Therefore, dispersion in a low concentration field becomes small, it has the gate electrode of the reverse T typeface which dispersion in an MOS transistor property does not generate, and an MOS transistor equipped with LDD structure is obtained.

[Translation done.]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-243262

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336 29/784		7377-4M 7377-4M	H 0 1 L 29/ 78	3 0 1 L 3 0 1 G

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-75753

(22)出願日 平成4年(1992)2月28日

(71)出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72)発明者 戸井田 孝志

埼玉県所沢市大字下富字武野840番地 シ

チズン時計株式会社技術研究所内

(72)発明者 岡部 ▲祥▼二

埼玉県所沢市大字下富字武野840番地 シ

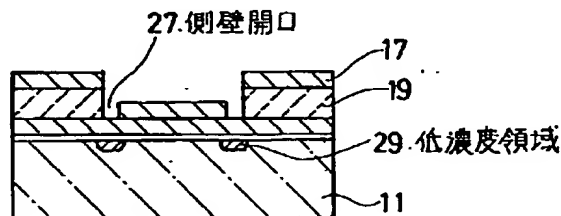
チズン時計株式会社技術研究所内

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【構成】 第1のゲート電極材料に開口を有するマスク膜19を形成し、ECR法により第2のゲート電極材料17を形成し、全面エッチングを行い側壁部の第2のゲート電極材料を選択的に除去して形成した側壁開口27を介して不純物を導入して低濃度領域29を形成し、マスク膜の開口内に形成した塗布膜をマスクに第2のゲート電極材料とマスク膜と第1のゲート電極材料とをエッチングし、さらに高濃度領域を形成して、逆T字形のゲート電極を有し、かつLDD構造を備えるMOSTランジスタを形成する。

【効果】 第2のゲート電極材料の膜厚により低濃度領域の長さを制御しているため、低濃度領域の長さのばらつきが小さくなり、MOSTランジスタ特性が安定化する。



【特許請求の範囲】

【請求項1】 半導体基板上にゲート酸化膜を形成し、第1のゲート電極材料を形成し、第1のゲート電極材料上にマスク膜を形成し、ホトエッチング技術によりゲート電極形成領域に対応するマスク膜に開口を形成する工程と、電子サイクロトン共鳴化学気相法により第2のゲート電極材料を形成する工程と、第2のゲート電極材料の全面エッチングを行い第2のゲート電極材料の側壁部を選択的に除去して側壁開口を形成し、側壁開口の整合した領域の半導体基板に不純物を導入して低濃度領域を形成する工程と、マスク膜の開口内に塗布膜を形成する工程と、塗布膜をエッチングマスクとして第2のゲート電極材料をマスク膜と第1のゲート電極材料とをエッチングして、第1のゲート電極材料と第2のゲート電極材料とからなる逆T字形を有するゲート電極を形成し、ゲート電極の整合した領域の半導体基板に不純物を導入して高濃度領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はMOSトランジスタの製造方法に関し、とくにドレイン領域に高濃度領域と低濃度領域とを有するいわゆるLDD構造(Lightly Doped Drain)をもつMOSトランジスタの製造方法に関する。

【0002】

【従来の技術】半導体集積回路装置の集積度を向上するために、MOSトランジスタのチャネル長を短くすると、ホットキャリアの注入現象が顕著になり、MOSトランジスタのしきい値電圧の変動を生じる。

【0003】このためドレイン近傍での電界を緩和することによって、このホットキャリアの発生を抑える方法として、ゲート電極近傍の接合深さを浅く、しかも不純物濃度をドレインより低くするLDD構造が用いられている。

【0004】このLDD構造は、ドレインを低い不純物濃度と高い不純物濃度との二重構造にして、ドレインの空乏層をチャネル領域のみならず、低い不純物濃度の領域にも広げることによって、ドレイン近傍での電界を弱めるものである。

【0005】LDD構造を有するMOSトランジスタの製造方法としては、たとえば特開昭51-68776号公報に提案されている。この公報に記載の製造方法を、図7の断面図を用いて説明する。

【0006】図7に示すように、半導体基板11にゲート電極35を形成し、さらにこのゲート電極35の整合した領域の半導体基板11に低濃度領域29を形成する。

【0007】その後、全面に絶縁膜である酸化シリコン膜を形成し、異方性イオンエッチングを行い、ゲート電

極35の側壁に酸化シリコン膜からなるサイドウォール43を形成する。

【0008】その後、このサイドウォール43とゲート電極35との整合した領域の半導体基板11に高濃度領域31を形成し、LDD構造を有するMOSトランジスタを形成している。

【0009】しかしながら、上記公報に記載の製造方法により形成したMOSトランジスタにおいては、ゲート電極35の側壁に絶縁膜からなるサイドウォール43を形成し、このサイドウォール43の直下に低濃度領域29を形成している。

【0010】このため低濃度領域29にはゲート電圧が印加されず、この低濃度領域29が抵抗となり、ドレイン電流が小さくなり、MOSトランジスタ特性が劣化するという問題点がある。

【0011】そこでこの問題点を解決するために、たとえば特開平3-204939号公報に記載の、低濃度領域上にゲート絶縁膜を介してゲート電極の一部を延長した逆T字形ゲート電極を備えるMOSトランジスタが提案されている。この特開平3-204939号公報に記載の逆T字形ゲート電極を有するMOSトランジスタの製造方法を図8から図11の断面図を用いて説明する。

【0012】まず図8に示すように、導電型がP型の半導体基板11上にゲート酸化膜13を形成し、膜厚20~50nmの多結晶シリコン膜からなる第1のゲート電極材料15を形成する。

【0013】この第1のゲート電極材料15上には、厚さ1~3nmの自然酸化膜39を形成する。その後、タングステンからなる第2のゲート電極材料17を、200~400nm形成する。

【0014】その後、感光性樹脂41を全面に形成し、さらにこの感光性樹脂41を所定の形状にパターニングする。

【0015】つぎに図9に示すように、パターニングした感光性樹脂41をマスクに第2のゲート電極材料17をエッチングする。このとき自然酸化膜39をエッチングストッパーとする。その後、エッチングマスクとして用いた感光性樹脂41を除去する。

【0016】その後、半導体基板11と逆導電型のN型の不純物を $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度のイオン注入量で、半導体基板11に注入して低濃度領域29を形成する。

【0017】つぎに図10に示すように、酸化シリコン膜を全面に形成し、異方性イオンエッチングを行い、第2のゲート電極材料17の側壁に酸化シリコン膜からなるサイドウォール43を形成する。

【0018】つぎに図11に示すように、ゲート電極35とサイドウォール43とをエッチングマスクにして、自然酸化膜39と第1のゲート電極材料15とをエッチングする。

【0019】その後、N型の不純物を $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度のイオン注入量で半導体基板11に導入して、ゲート電極35の整合した領域の半導体基板11に高濃度領域31を形成する。この高濃度領域31は、MOSTランジスタのソースドレイン領域37となる。

【0020】その後、熱処理を行って自然酸化膜39を破壊し、第1のゲート電極材料15と第2のゲート電極材料17とを導通させ、逆T字型ゲート電極を有し、LDD構造を備えるMOSTランジスタを形成する。

【0021】

【発明が解決しようとする課題】しかしながらこの特開平3-204939号公報に記載のMOSTランジスタの製造方法においては、自然酸化膜39を第2のゲート電極材料17のエッチングストッパーとして用いている。

【0022】したがって、自然酸化膜39である酸化シリコン膜に対する第2のゲート電極材料17のエッチングは、100倍程度の大きなエッチング選択比をもつエッチング方法が必要となる。しかしながら、このような大きなエッチング選択比をもつエッチングを安定して行うことは、極めて難しい。

【0023】このために第2のゲート電極材料15のエッチングのとき、第1のゲート電極材料15までエッチングしてしまい、サイドウォール43の寸法ばらつきが大きくなる。

【0024】この結果、低濃度領域29の長さのばらつきが大きくなり、MOSTランジスタ特性のばらつきが大きくなってしまう。

【0025】本発明の目的は、上記課題を解決して、MOSTランジスタ特性のばらつきが発生しない逆T字形のゲート電極を有し、LDD構造を備えるMOSTランジスタの製造方法を提供することにある。

【0026】

【課題を解決するための手段】上記目的を達成するために本発明の半導体装置の製造方法は、下記記載の工程を採用する。

【0027】本発明の半導体装置の製造方法は、半導体基板上にゲート酸化膜を形成し、第1のゲート電極材料を形成し、第1のゲート電極材料上にマスク膜を形成し、ホットエッチング技術によりゲート電極形成領域に対応するマスク膜に開口を形成する工程と、電子サイクロトロン共鳴化学気相法により第2のゲート電極材料を形成する工程と、この第2のゲート電極材料の全面エッチングを行い第2のゲート電極材料の側壁部を選択的に除去して側壁開口を形成し、この側壁開口の整合した領域の半導体基板上に不純物を導入して低濃度領域を形成する工程と、マスク膜の開口内に塗布膜を形成する工程と、この塗布膜をマスクとして第2のゲート電極材料をマスク膜と第1のゲート電極材料とをエッチングして、第1の

ゲート電極材料と第2のゲート電極材料とからなる逆T字形を有するゲート電極を形成し、ゲート電極の整合した領域の半導体基板上に不純物を導入して高濃度領域を形成する工程とを有することを特徴とする。

【0028】

【実施例】以下図面を用いて本発明における実施例を説明する。以下の説明においては、NチャネルMOSTランジスタを製造する例で説明する。図1～図6は、本発明における半導体装置の製造方法を工程順に示す断面図である。

【0029】まず図1に示すように、不純物濃度が $2 \times 10^{15} \text{ cm}^{-3}$ 程度の低不純物濃度で導電型がP型の半導体基板11の酸化処理を行い、膜厚35nmの酸化シリコン膜からなるゲート酸化膜13を形成する。

【0030】その後、モノシランを反応ガスとして用いた化学気相成長法（以下CVDと記載する）により、膜厚200nmの多結晶シリコン膜からなる第1のゲート電極材料15を形成する。

【0031】その後、第1のゲート電極材料15上の全面に、モノシランと酸素とを反応ガスとするCVD法により、膜厚が400nmの酸化シリコン膜からなるマスク膜19を形成する。

【0032】その後、このマスク膜19上の全面に感光性樹脂（図示せず）を回転塗布法により形成し、ホトマスクを用いて露光し、現像を行い感光性樹脂をパターンニングし、その後このパターンニングした感光性樹脂をエッチングマスクとしてマスク膜19をエッチングする、いわゆるホットエッチングによりマスク膜19に開口21を形成する。

【0033】その後、エッチングマスクとして用いた感光性樹脂を除去する。

【0034】つぎに図2に示すように、モノシランを反応ガスとする電子サイクロトロン共鳴化学気相成長法（以下ECRと記載する）により、膜厚200nmの多結晶シリコン膜からなる第2のゲート電極材料17を形成する。

【0035】つぎに図3に示すように、フッ酸と硝酸との混合溶液を用いて第2のゲート電極膜17の全面エッチングを行う。

【0036】ECRで形成した多結晶シリコン膜からなる第2のゲート電極材料17は、図2に示す平面部23と側壁部25とでは、エッチング速度が10倍以上異なり、側壁部25の多結晶シリコン膜が選択的にエッチング除去されて、側壁開口27が形成される。

【0037】このECRで形成した、多結晶シリコン膜からなる第2のゲート電極材料17における平面部23と側壁部25とで、エッチング速度が大きく異なる理由は、以下に記載する理由による。

【0038】マイクロ波を用いてプラズマ発生室内で、モノシランをプラズマ化した膜形成に関与する活性種

が、一方向から半導体基板11に到達することにより、ECRにおいては、平面部と側壁部とで膜形成機構に大きな違いが生じる。このため、平面部23と側壁部25とで、第2のゲート電極材料17の膜質が異なり、エッチング速度に大きな差が発生する。

【0039】その後、半導体基板11と逆導電型の不純物である砒素を、イオン注入量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入を行い、側壁開口27を介して半導体基板11に導入して、低濃度領域29を形成する。

【0040】つぎに図4に示すように、全面に塗布膜33としてポリメチルメタアクリレート回転塗布法により形成し、表面がほぼ平坦な形状を有する塗布膜33を形成する。

【0041】その後、酸素を反応ガスとする異方性イオンエッチング法により、第2のゲート電極材料17の表面が露出するまで塗布膜33をエッチングする。

【0042】この結果、マスク膜17の開口21内に、塗布膜33を埋め込むように形成する。

【0043】つぎに図5に示すように、開口21内に形成した塗布膜33をエッチングマスクとして、第2のゲート電極材料17と、マスク膜19と、さらに第1のゲート電極材料15とをエッチングして除去する。

【0044】その後、イオン注入法により半導体基板11と逆導電型を有する砒素をイオン注入量 $4 \times 10^{15} \text{ cm}^{-2}$ の条件で、半導体基板11に導入して、高濃度領域31を形成する。

【0045】つぎに図6に示すように、塗布膜33を除去し、第1のゲート電極材料15と第2のゲート電極材料17とからなり、逆T字形の断面形状を有するゲート電極35を形成する。

【0046】その後は図示しないが、CVD法によりリンを添加した酸化シリコン膜からなる層間絶縁膜を形成し、さらに温度950℃の窒素雰囲気中で熱処理を行いイオン注入により導入した不純物の活性化を行い、ホットエッチングにより層間絶縁膜に接続穴を形成し、スパッタリング法によりアルミニウムシリコン合金からなる配線材料を形成し、ホットエッチングにより配線を形成して、断面形状が逆T字形のゲート電極を有し、かつLDD構造を備えるMOSトランジスタを得る。

【0047】なお以上の説明においては、マスク膜として酸化シリコン膜を用いた例で説明したが、第2のゲート電極材料と異なる材料であれば、マスク膜として使用可能である。

【0048】さらに塗布膜としては、ポリメチルメタア

クリレート以外にも、その他の有機高分子材料、感光性樹脂、塗布ガラス膜など表面がほぼ平坦な形状で形成できる材料であれば、塗布膜として適用できる。

【0049】

【発明の効果】以上の説明で明らかなように、本発明の半導体装置の製造方法においては、第2のゲート電極材料の膜厚により、低濃度領域の長さを制御している。したがって低濃度領域のばらつきが小さくなり、MOSトランジスタ特性のばらつきが発生しない逆T字形のゲート電極を有し、LDD構造を備えるMOSトランジスタが得られる。

【図面の簡単な説明】

【図1】本発明における半導体装置の製造方法を示す断面図である。

【図2】本発明における半導体装置の製造方法を示す断面図である。

【図3】本発明における半導体装置の製造方法を示す断面図である。

【図4】本発明における半導体装置の製造方法を示す断面図である。

【図5】本発明における半導体装置の製造方法を示す断面図である。

【図6】本発明における半導体装置の製造方法を示す断面図である。

【図7】従来例における半導体装置の製造方法を示す断面図である。

【図8】従来例における半導体装置の製造方法を示す断面図である。

【図9】従来例における半導体装置の製造方法を示す断面図である。

【図10】従来例における半導体装置の製造方法を示す断面図である。

【図11】従来例における半導体装置の製造方法を示す断面図である。

【符号の説明】

15 第1のゲート電極材料

17 第2のゲート電極材料

19 マスク膜

21 開口

27 側壁開口

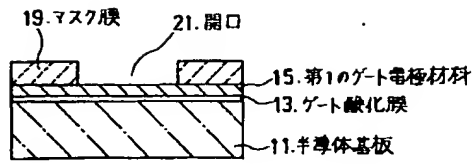
29 低濃度領域

31 高濃度領域

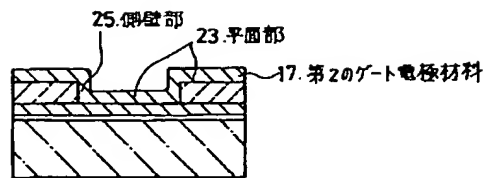
33 塗布膜

35 ゲート電極

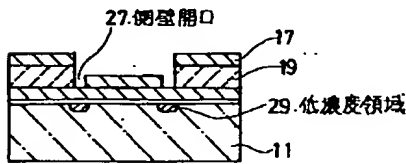
【図1】



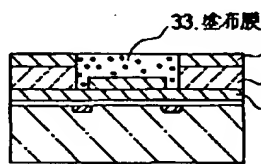
【図2】



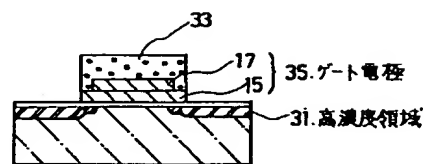
【図3】



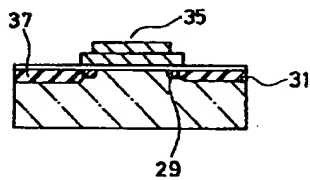
【図4】



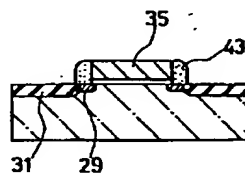
【図5】



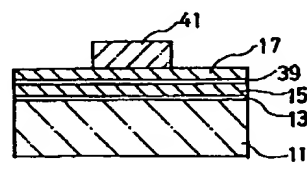
【図6】



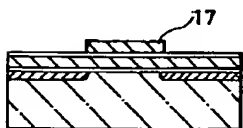
【図7】



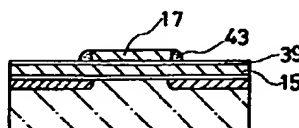
【図8】



【図9】



【図10】



【図11】

